

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor: : Kiyokazu HASHIMOTO, et al.
Filed : Concurrently herewith
For : SEMICONDUCTOR MEMORY DEVICE
Serial No. : Concurrently herewith

August 28, 2003

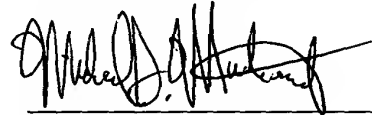
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

PRIORITY CLAIM AND
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **Japanese** patent application number **2002-249388** filed **August 28, 2002**, a copy of which is enclosed.

Respectfully submitted,



Michael I. Markowitz
Reg. No. 30,659

Katten Muchin Zavis Rosenman
575 Madison Avenue
New York, NY 10022-2585
(212) 940-8800
Docket No.: NECE 20.610

日本国特許庁
JAPAN PATENT OFFICE

A415

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年 8月28日

出願番号
Application Number:

特願2002-249388

[ST.10/C]:

[JP2002-249388]

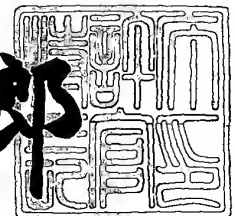
出願人
Applicant(s):

NECエレクトロニクス株式会社

2003年 4月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028425

【書類名】 特許願

【整理番号】 75010415

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10
G11C 8/04
G11C 11/22
G11C 11/34

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 橋本 潔和

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 古田 博伺

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 複数の参照セル（リファレンスセル）を有し、前記複数の参照セルのうち選択された参照セルの情報と、選択されたメモリセルの情報とを比較判定する動作を行う半導体記憶装置であって、

前記メモリセルを選択するアドレス入力の遷移を検出しアドレス遷移検出信号を発生するアドレス遷移検出回路と、前記アドレス遷移検出信号をカウントするカウンタ回路と、前記カウンタ回路の出力により所要の参照セルを選択するリファレンスデコーダ回路とを、有することを特徴とする半導体記憶装置。

【請求項 2】 前記アドレス遷移検出回路からのアドレス遷移検出信号が入力されたとき、第 1 の論理レベルとなり、リファレンスワード線を活性化させる時刻に第 2 の論理レベルとなる制御信号を前記カウンタ回路に出力する制御信号発生回路を有することを特徴とする請求項 1 の半導体記憶装置。

【請求項 3】 前記比較判定する動作は、読出し時、書込み後及び消去後の情報確認を行う動作であり、前記比較判定する動作において一定回数毎に前記複数の参照セルのうち所要の参照セルを選択することを特徴とする請求項 1 または 2 記載の半導体記憶装置

【請求項 4】 前記複数の参照セルは一つのメモリセルアレイ単位または、複数のメモリセルアレイ単位ごとに設けられていることを特徴とする請求項 1 乃至 3 の何れか一項に記載の半導体記憶装置。

【請求項 5】 前記複数の参照セルの所定の電気特性が所望の特性になるように予め調整できる手段を有すること特徴とする請求項 1 乃至 4 の何れか一項に記載の半導体記憶装置。

【請求項 6】 前記電気特性は前記参照セルの閾値電圧、オン電流、オフ電流、オン抵抗、オフ抵抗、反転しきい磁界、及び分極値であることを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】 複数のメモリセルと複数の参照セル（リファレンスセル）を有し、前記複数の参照セルのうち所要の参照セルを選択するデコード方法であっ

て、

前記複数のメモリセルのうち所要のメモリセルを選択するアドレス入力の変移を検出しパルスが発生するステップと、前記パルスをカウントするステップと、前記パルスのカウント数により前記複数の参照セルのうち所要の参照セルを選択するようにデコードするステップとを有することを特徴とするデコード方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に参照セル（リファレンスセル）を複数有し、参照セルを切り替えることにより、参照セルの劣化を防止できる半導体記憶装置に関するものである。

【0002】

【従来の技術】

フラッシュEEPROM（FLASHメモリ）や強誘電体メモリ（FeRAM）のような半導体記憶装置では、選択されたメモリセルの情報を参照セルの情報と比較して、所定の動作を行っている。図10と図11を用いて従来技術の読み出し時の動作について説明する。図10は従来技術の半導体記憶装置を示したものであり、16MbitフラッシュEEPROMの例である。

【0003】

Aiは外部から入力されるアドレス信号であり、アドレスバッファ11、12は入力された外部アドレス信号Aiをそれぞれ内部アドレス信号Adiとして出力する。アドレス遷移検出回路（Address-Transition-Detect 回路、ATD回路）13は内部アドレス信号Adiが入力され、アドレス信号の変化を検出し、出力に1ショットパルスとしてアドレス遷移検出信号P0を発生させる。信号発生回路14はアドレス遷移検出信号P0が入力され、1ショットパルスとして制御信号P1を出力する。制御信号P1はセンスアンプ18とリファレンスアンプ19の動作を制御する。Xデコーダ16は入力された内部アドレス信号（Ad10～Ad19）をデコードし、ワード線を選択する。Xデコーダ16の出力はおのこのワード線（W0～Wm）に接続され、選択されたワード線には電圧VRが印加され

る。Yデコーダ15は入力された内部アドレス信号($Ad_0 \sim Ad_9$)をデコードし、ディジット線を選択する。Yデコーダの出力はおのこのYセレクト線 $Y_0 \sim Y_n$ に接続され、選択されたYセレクト線には電圧 V_Y が印加される。

【0004】

M-ARRAY10はメモリセルアレイを示し、マトリクス状にメモリセル($MC_{00} \sim MC_{0m}, \dots, MC_{n0} \sim MC_{nm}$)が配列され、マトリクス状のメモリセルのゲートにはXデコーダ16の対応する出力 $W_0 \sim W_m$ がそれぞれ入力され、ドレインは対応するディジット線 $D_0 \sim D_n$ へそれぞれ接続され、ソースは節点CSに共通に接続されている。各メモリセルのソースである節点CSは、読み出し時には図示しない回路によりGND電位に制御される。ディジット線 $D_0 \sim D_n$ はYセクタ17のセクタ用MOSFET $Q_{Y0} \sim Q_{Yn}$ のそれぞれのソースに接続され、Yセレクト用MOSFET $Q_{Y0} \sim Q_{Yn}$ のドレインはセンスアンプ入力節点SCに共通接続され、Yセレクト用MOSFET $Q_{Y0} \sim Q_{Yn}$ のそれぞれのゲートにはYデコーダの出力 $Y_0 \sim Y_n$ が入力されている。センスアンプ18は選択されたメモリセルの電位を増幅する。

【0005】

参照セルMRDはドレインが節点DRに、ゲートが参照セル選択信号線XRに、ソースが節点RSに接続されている。参照セルMRDはM-ARRAY内のメモリセルと同一の構造と特性と有する。節点RSは読み出し時、図示しない回路によりGND電位に制御される。参照セルセクタMOSFET Q_{R1} はドレインがリファレンスアンプ入力節点RCに、ゲートが参照セルセクタ信号線YRに、ソースが節点DRに接続されたMOSFETである。この参照セルの選択信号線XR、及びセクタ信号線YRには、読み出し時はメモリセルと同様に V_R 、及び V_Y と同一の電圧が印加される。リファレンスアンプ19は参照セルの電位を増幅する。

【0006】

比較増幅器20はセンスアンプ18の出力SAとリファレンスアンプ19の出力RAの電位差を増幅するもので、選択されたメモリセルが書込状態(0)か、消去状態(1)かを、判定する。出力バッファ21は比較増幅器20の出力が入

力され、出力が外部出力端子（I/O0）に接続され、メモリセルの情報を外部データバスに供給する。実際の半導体記憶装置は外部出力端子を例えば16ビット出力の場合は16個（I/O0～I/O15）有しており、これに応じてセンスアンプ、メモリアレイ、比較増幅器も16個有しているが、図10ではI/O0に関する部分のみを図示し、その他（I/O1～15）の部分に関しては省略した。また、本発明の本質に関係しない制御系とか、電源系等も省略した。

【0007】

図11は図10に示す半導体記憶装置の読み出し時の各節点及び各信号の動作波形を示したものである。図11中の記号はそれぞれ図10の各節点及び各信号に対応する。メモリセルMC00が選択されたとして読み出し時の動作を説明する。

【0008】

まず、外部アドレス信号Aiの変化に呼応してワード線W0が選択され「H」レベルとなりVRが与えられ、同様にYセレクト線Y0が選択され「H」レベルとなりVYが与えられ、メモリセルMC00が選択される。又、内部アドレス信号（Ad0～Ad19）の変化に呼応してATD回路13にアドレス遷移検出信号P0、信号発生回路14には制御信号P1が発生し、センスアンプ18とリファレンスアンプ19が活性化される。

【0009】

ここでメモリセルと参照セルの閾値レベルを例えばメモリセルには、書込み状態（0）で閾値が7V、消去状態（1）で閾値が2V、参照セルには閾値が3.4Vになるように書き込まれているとすれば記憶装置の読出し動作は次のように行われる。

【0010】

1) この時MC00が書込み状態（0）であれば、MC00は非導通になり、センスアンプ18の出力SAの電圧は図11のSA（0）の波形に示すように初期値V（ini）から平衡値VSA（0）まで放電される。一方、参照セルMRDはわずかに導通し、リファレンスアンプ19の出力RAの電圧は図11のRA（i）の波形に示すように同じく初期値V（ini）から平衡値VRA（i）まで

放電される。次にVSA(0)とVRA(i)の電位差が比較増幅器20で増幅され、メモリセルに記憶された情報が判定される。さらに、比較増幅器20の出力が出力バッファ21に伝達され、図11のI/O0(0)の波形に示すように外部出力端子には「L」が出力されることになる。

【0011】

2) 次にMC00が消去状態(1)であれば、MC00は導通になり、図11のSA(1)の波形に示すように初期値V(ini)から平衡値VSA(1)まで放電される。一方、参照セルMRDはわずかに導通し、リファレンスアンプの出力RAの電圧は図11のRA(i)の波形に示すように同じく初期値V(ini)から平衡値VRA(i)まで放電される。次にVSA(1)とVRA(i)の電位差が比較増幅器20で増幅され、メモリセルに記憶された情報が判定される。さらに、比較増幅器20の出力が出力バッファ21に伝達され、図11のI/O0(1)の波形に示すように外部出力端子には「H」が出力されることになる。

【0012】

このようにしてメモリセルの閾値レベルに従って出力端子に「H」又は「L」が出力され、記憶装置の読出し動作が行われることになる。

【0013】

図10に示す従来技術の半導体記憶装置においては、Xデコーダ16に供給されるアドレスがA10～A19までの10ビットのアドレス信号Aiが供給され、ワード線は全部で1024本(図10のm=1023)となる。従って、メモリセルを順次読み出しを行った場合、ワード線1本に印加される時間は、全読み出し期間中の1/1024となる。一方参照セルMRDはM-ARRAY中のどのワード線が選択されていても、読み出し時は常に選択されており、MRDのゲート信号線XRには常にワード線の選択電位VRと同一の電圧が印加されている。

【0014】

フラッシュEEPROMのメモリセルは読み出しを長期間行くと劣化することが一般的に知られている。参照セルは読み出し時常にゲートが読み出し電圧VR

にバイアスされている為、常時選択される参照セルが最初に劣化することが明らかである。図 11 の R A (a) に示す波形は、長期間（例えば 5 年間）読み出し動作を行った後のリファレンス電圧 V R の波形を示したものである。長期間使い続けた結果、参照セルが劣化し、流れる電流値が減少し、最初は V R A (i) であった電位は V R A (a) と高くなり、V S A (0) との電圧差が確保できなくなる。この結果、比較増幅器 2 0 が誤動作し、I / O 0 (0) a の波形に示すように出力端子に「L」が出力されなくなり、「H」と誤判定することがある。

【 0 0 1 5 】

以上述べたように、このような従来例の構成では、参照セル M R D が一つだけなので読み出し時に M - A R R A Y 内のメモリセルに比べ多くのストレスが加わり劣化しやすい。

【 0 0 1 6 】

このような参照セルの特性変動問題を解決する方法として、特開 2 0 0 1 - 2 5 0 3 7 4 に開示されるように、参照セルの動作回数などに応じて参照セルを変えることが開示されている。この例では、参照セル（リファレンスセル）の動作回数をモニターする回路や特性変動を判断する回路、ダミーセルを通常のメモリセルに切り替える回路などが必要であり、チップ全体の回路構成が複雑になり、デバイスサイズも大きくなり、安価で提供できないという問題があった。また、特開平 9 - 2 3 1 7 7 5 にはリファレンスデコーダを設け、リファレンスセルを選択することが開示されているが、リファレンスデコーダの構成方法については開示されていない。

【 0 0 1 7 】

【発明が解決しようとする課題】

上述のごとく、従来の参照セル（リファレンスセル）を用いて、読み出し、書込み、消去などを行う半導体記憶装置では、参照セルの特性変動の問題があり、またこれらの参照セルの特性変動を回避するようにするためには多くの付加回路が必要となりデバイスサイズが大きくなるという問題があった。本発明が解決しようとする課題は、簡単な回路構成で参照セルの特性変動を少なくすることを可能にすることで、信頼性の高い半導体記憶装置を提供することにある。

【 0 0 1 8 】

【課題を解決するための手段】

本発明の半導体記憶装置は、複数の参照セル（リファレンスセル）を有し、複数の参照セルのうち選択された参照セルの情報と選択されたメモリセルの情報を比較する動作を行う半導体記憶装置であって、前記メモリセルを選択するアドレス入力の遷移を検出しアドレス遷移検出信号を発生するアドレス遷移検出回路と、前記信号をカウントするカウンタ回路と、前記カウンタ回路の出力により所要の参照セルを選択するリファレンスデコーダ回路とを、有することを特徴とする。

【 0 0 1 9 】

また、本発明の半導体記憶装置は、前記アドレス遷移検出回路からのアドレス遷移検出信号が入力されたとき、第1の論理レベルとなり、リファレンスワード線を活性化させる時刻に第2の論理レベルとなる制御信号を前記カウンタ回路に出力する制御信号発生回路を有することが望ましい。

【 0 0 2 0 】

また、本発明の半導体記憶装置は、前記参照セルの情報と選択されたメモリセルの情報を比較する動作は、読み出し時、書込み後や消去後の情報確認を行う動作であることが望ましい。

【 0 0 2 1 】

また、本発明の半導体記憶装置は、前記複数の参照セルは一つのメモリセルアレイ単位または、複数のメモリセルアレイ単位ごとに設けられていることが望ましい。

【 0 0 2 2 】

また、本発明の半導体記憶装置は、前記複数の参照セルの所定の電気特性が所望の特性になるように予め調整できる手段を有することが望ましい。

【 0 0 2 3 】

本発明のデコード方法は、複数のメモリセルと複数の参照セル（リファレンスセル）を有し、前記複数の参照セルのうち所要の参照セルを選択するデコード方法であって、前記複数のメモリセルのうち所要のメモリセルを選択するアドレス

入力の遷移を検出しパルスを発生するステップと、前記パルスをカウントするステップと、前記パルスのカウント数により前記複数の参照セルのうち所要の参照セルを選択するようにデコードするステップとを有することを特徴とする。

【 0 0 2 4 】

これらの構成とすることで 参照セルの特性劣化を防止し、信頼性の高い半導体記憶装置得られる。しかも、本発明ではカウンタ回路及びデコーダ回路という非常にシンプルな回路構成により選択されるべき参照セルを指定することが出来る。

【 0 0 2 5 】

【発明の実施の形態】

以下、実施例に基づいて、本発明の詳細を説明する。

【 0 0 2 6 】

(実施例 1) 図 1 は本発明における半導体記憶装置の基本構成を示したものである。図 1 0 の従来技術と同一の箇所は同一の符号をつけ、詳しい説明を省略する。本発明の半導体記憶装置（フラッシュ E E P R O M）は 1 6 M b i t フラッシュ E E P R O M の例である。

【 0 0 2 7 】

本発明の半導体記憶装置の基本構成は、外部アドレス端子からのアドレス信号 A i を入力されるアドレスバッファ 1 1、1 2、アドレスの変化を検出するアドレス遷移検出回路（Address-Transition-Detect 回路、A T D 回路）1 3、信号発生回路 1 0 1 及び信号発生回路 1 4、カウンタ回路 1 0 2、Y デコーダ 1 5、X デコーダ 1 6、メモリアレイ 1 0、Y セレクタ 1 7、センスアンプ 1 8、リファレンスセルデコーダ 1 0 3、参照セルアレイ 1 0 4、リファレンスセレクタ用の M O S F E T Q R 1、リファレンスアンプ 1 9、比較増幅器 2 0、及び出力バッファ 2 1 とから構成されている。

【 0 0 2 8 】

アドレスバッファ 1 1、1 2 は外部アドレス端子からのアドレス信号 A i が入力され、内部アドレス信号 A d i を出力する。A T D 回路 1 3 は、外部アドレス信号の変化を検出し、アドレス遷移検出信号出力 P 0 を発生させる。

【 0 0 2 9 】

信号発生回路 1 4 はアドレス遷移検出信号出力 P 0 が入力され制御信号 P 1 を 1 ショットパルスとして発生させる。この 1 ショットパルスでセンスアンプ 1 8 とリファレンスアンプ 1 9 の動作を制御する。

【 0 0 3 0 】

信号発生回路 1 0 1 は A T D 回路の出力 (P 0) が入力され制御信号 P 2 を 1 ショットパルスとして発生させ、この 1 ショットパルスをカウンタ回路 1 0 2 に送る。

【 0 0 3 1 】

カウンタ回路 1 0 2 は入力された制御信号 P 2 のパルス数をカウントし、リファレンスセルデコーダ 1 0 3 を制御する制御信号 C 1 , C 2 , C 3 , C 4 を発生する。

【 0 0 3 2 】

Xデコーダ 1 6 はアドレスバッファ 1 2 からの内部アドレス信号 (Ad10 ~ Ad19) が入力され、この内部アドレス信号をデコードし、ワード線 (W 0 ~ W m) を選択する。Xデコーダ 1 6 の出力はおのこのワード線 (W 0 ~ W m) に接続され、選択されたワード線には電圧 V R が印加される。

【 0 0 3 3 】

Yデコーダ 1 5 は同じくアドレスバッファ 1 1 からの内部アドレス信号 (Ad0 ~ Ad9) が入力され、この内部アドレス信号をデコードし、ディジット線 (D 0 ~ D n) を選択する。Yデコーダ 1 5 の出力はおのこの Y セレクト線 Y 0 ~ Y n に接続され、選択された Y セレクト線には電圧 V Y が印加される。

【 0 0 3 4 】

M - A R R A Y 1 0 はメモリセルアレイを示し、マトリクス状にメモリセル (MC 0 0 ~ MC 0 m , … , MC n 0 ~ MC n m) が配列され、マトリクス状のメモリセルのゲートには対応するワード線 W 0 ~ W m へそれぞれ接続され、ドレインは対応するディジット線 D 0 ~ D n へそれぞれ接続され、ソースは節点 C S に共通に接続されている。C S は読み出し時は図示しない回路により G N D 電位に制御される。

【 0 0 3 5 】

Yセクタ17は、Yセレクト用MOSFETQY0～QYnから構成され、それぞれのソースはそれぞれディジット線D0～Dnに接続され、ドレインはセンスアンプ入力節点SCに共通接続され、Yセレクト用MOSFETQY0～QYnのそれぞれのゲートはYデコーダ15のそれぞれの出力Y0～Ynに接続されている。

【 0 0 3 6 】

センスアンプ18は 選択されたメモリセルに記憶された情報に基づいて変化する節点SCの電圧を検出し増幅し、SAとして出力する。

【 0 0 3 7 】

参照セルアレイR-ARRAY104は複数個の参照セル（図1ではMR0～MR15の16個）を有し、それぞれの参照セルはソースを節点RSに共通接続され、ドレインはリファレンスセレクト用のMOSFETのソースとの節点DRに共通接続されリファレンスディジット線となり、ゲートはリファレンスセルデコーダ103からのリファレンスワード線WR0～WR15にそれぞれ接続され、選択されたワード線には電圧VRが印加される。節点RSは読み出し時、図示しない回路によりGND電位に制御される。それぞれの参照セルは、M-ARRAY内のメモリセルと同一の構造と特性と有する。

【 0 0 3 8 】

リファレンスセクタはリファレンスセレクト用のMOSFETQR1から構成され、ゲートはYセレクト信号線YRに、ドレインはリファレンスアンプ19の入力節点RCへ、ソースはディジット線の節点DRに接続されている。リファレンスセクタ信号線YRには選択されたYセクタ線に印加される電圧VYと等しい電圧が印加される。

【 0 0 3 9 】

リファレンスセルデコーダはカウンタ回路からの出力（C1～C4）をデコードして、参照セルのリファレンスワード線（WR0～WR15）を選択する。選択されたリファレンスワード線には電圧VRが印加される。

【 0 0 4 0 】

リファレンスアンプ19は節点RCの電圧を増幅し、RAとして出力する。

【0041】

比較増幅器20はセンスアンプ18の出力SAとリファレンスアンプ19の出力RAの電位差を増幅するもので、選択されたメモリセルが書込状態(0)か消去状態(1)かを判定する。

【0042】

出力バッファ21は比較増幅器20の出力が入力され、出力が外部出力端子(I/O0)に接続され、メモリセルの情報を外部データバスに供給する。実際の半導体記憶装置は外部出力端子を例えば16個(I/O0~I/O15)有しており、これに応じてセンスアンプ、メモリアレイ、比較増幅器等も16個有しているが、図1ではI/O0に関する部分のみを図示し、その他I/O1~15の部分に関しては省略した。また、本発明の本質に関係しない制御系とか、電源系等も省略した。

【0043】

図1に使用される回路の一例を図2~図5に示す。

【0044】

図2は信号発生回路14の一例を示したものである。信号発生回路14はATD回路13からのアドレス遷移検出信号P0を入力とし、センスアンプ18及びリファレンスアンプ19を活性化させる制御信号P1を発生させる。インバータ回路IV11-23、NAND回路NAND1、2、NチャンネルMOSFETQN11-18、PチャンネルMOSFETQP11、12、抵抗R1、2及びコンデンサC11-14から構成される。

【0045】

図2の信号発生回路14においては、入力されたアドレス遷移検出信号P0をメモリセル及び参照セルの情報がメモリセル及びリファレンスアンプに伝達される時刻まで遅延させ、さらにこれらのセル情報をセンスアンプ及びリファレンスアンプにおいて十分に増幅できるまでの時間幅を有するパルスとして制御信号P1を発生させ、センスアンプ及びリファレンスアンプの活性化制御信号とする。

【0046】

図 3 は信号発生回路 1 0 1 の一例を示したものである。信号発生回路 1 0 1 は A T D 回路 1 3 からのアドレス遷移検出信号 P 0 を入力とし、カウンタ回路で計数される制御信号 P 2 を発生させる。インバータ回路 I V 3 1 - 3 3、N チャネル MOS F E T Q N 3 1 - 3 4、P チャネル MOS F E T Q P 3 1、抵抗 R 3 及びコンデンサ C 3 1 から構成される。

【 0 0 4 7 】

図 3 の信号発生回路 1 0 1 においては、アドレス遷移検出信号 P 0 と同期して立上げ、その立下りはアドレス遷移検出信号 P 0 の立下りをカウンタ回路さらに次段のリファレンスセルデコーダを活性化させるのに必要な時刻まで遅延させたパルス幅を有する制御信号 P 2 を発生させる。制御信号 P 2 は、所定のパルス幅を有することでリファレンスセルデコーダを活性化させる時刻を制御する。

【 0 0 4 8 】

図 4 はカウンタ回路 1 0 2 の一例とその動作波形を示したものである。本例のカウンタ回路 1 0 2 は C O U N T 1、C O U N T 2、C O U N T 3 及び C O U N T 4 の 4 段の T 型フリップフロップから構成されており、各段の T 型フリップフロップの出力 (Q) が出力 C 1、C 2、C 3 及び C 4 として取り出され、制御信号 P 2 が C O U N T 1 に入力され C O U N T 1 の出力 C 1 が C O U N T 2 の入力に接続され、C O U N T 2 の出力 C 2 が C O U N T 3 の入力に接続され、C O U N T 3 の出力 C 3 が C O U N T 4 の入力に接続されてなる。

【 0 0 4 9 】

図 4 のカウンタ回路 1 0 2 の動作を説明する。まず、第 1 の読み出しサイクル (T 1) 時、外部入力アドレス A i が変化すると、前述したように A T D 回路 1 3 でアドレス遷移を検出し、信号発生回路にアドレス遷移検出信号 P 0、さらに P 0 を入力として信号発生回路 1 0 1 から制御信号 P 2 としてショートパルス (0) が発生される。C O U N T 1 では制御信号 P 2 の H → L の変化をうけ、出力 C 1 が L → H に変化する。次に第 2 の読み出しサイクル (T 2) 時、外部入力アドレス A i が変化すると、制御信号 P 2 にショートパルス (1) が発生される。C O U N T 1 では出力 P 2 の H → L の変化をうけ、出力 C 1 が H → L に変化する。さらに C O U N T 2 では入力 C 1 の H → L の変化をうけ、出力 C 2 が L → H

に変化する。次に第3の読み出しサイクル(T3)時、外部入力アドレスA_iが変化すると制御信号P2のショートパルス(2)が発生される。COUNT1では制御信号P2のH→Lの変化をうけ、出力C1がL→Hに変化する。次に第4の読み出しサイクル(T4)時、外部入力アドレスA_iが変化すると制御信号P2のショートパルス(3)が発生される。COUNT1では出力P2のH→Lの変化をうけ、出力C1がH→Lに変化する。さらにCOUNT2では入力C1のH→Lの変化をうけ、出力C2がH→Lに変化する。さらに、COUNT3では入力C2のH→Lの変化をうけ、出力C3がL→Hに変化する。

【0050】

以上述べたように、カウンタ回路102は4段のT型フリップ回路が直列に接続されている為、各段の入力信号がH→Lと変化することで出力の論理値が反転する。従って、各段の出力C1～C4を出力として取り出すことにより、制御信号P2に印加されるパルス数をカウントすることができる。

【0051】

例えば、図4においては、C1～C4の4ビットにより0～15を識別している。制御信号P2の1番目のパルス(0)によって、(C4, C3, C2, C1) = (0, 0, 0, 1)となり、制御信号P2の2番目のパルス(1)によって、(C4, C3, C2, C1) = (0, 0, 1, 0)となり、制御信号P2の15番目のパルス(E)によって、(C4, C3, C2, C1) = (1, 1, 1, 1)となり、制御信号P2の16番目のパルス(F)によって、(C4, C3, C2, C1) = (0, 0, 0, 0)となり、パルス数を順次カウントする。

【0052】

図5は、リファレンスセルデコーダ103の構成の例を示したものである。図4のカウンタ回路102の出力C1, C2, C3, C4がNOR回路(NOR0, NOR1, …, NOR15)に入力される。NOR回路NOR0, NOR1, …, NOR15のそれぞれの出力WR0, WR1, …, WR15がそれぞれ参照セルMR0, MR1, …, MR15のゲートに接続される。このリファレンスセルデコーダは、(C4, C3, C2, C1) = (0, 0, 0, 0)の場合はNOR0の出力WR0が「H」になり、WR0が選択されるように構成され、(C4, C3,

$C_2, C_1) = (0, 0, 0, 1)$ は NOR 1 の出力 WR 1 が「H」になり、WR 1 が選択されるように構成され、…、 $(C_1, C_2, C_3, C_4) = (1, 1, 1, 1)$ の場合は NOR 15 の出力 WR 15 が「H」になり、WR 15 が選択されるように構成される。

【 0 0 5 3 】

図 6 は本発明の第 1 実施例である図 1 の半導体記憶装置における読み出し時の各節点及び各信号の動作波形を示したものである。図 6 の記号はそれぞれ図 1 の各節点及び各信号に対応する。

【 0 0 5 4 】

図 1 ～図 5 と図 6 をも用いて本発明の読み出し時の動作を、最初にメモリセル MC 0 0 が選択され、続いてメモリセル MC 1 1 が選択された場合を例として説明する。

【 0 0 5 5 】

まず、第 1 の読み出しサイクル時 (T 1)、外部アドレス A_i の変化が図 1 の ATD 回路 1 3 にて検出されアドレス遷移検出信号 P 0 が発生され、信号発生回路 1 4 及び 1 0 1 にて各々制御信号 P 1 及び P 2 として図 6 に示すパルスが発生される。制御信号 P 2 は、アドレス遷移検出信号 P 0 により、第 1 論理レベル (図 6 においては「H」。) に変化し、リファレンスセルのワード線が活性化される時刻に、第 2 の論理レベル (図 6 においては「L」。) に変化する。即ち、制御信号 P 2 の H→L の変化に同期されて、図 4 に示すカウンタ回路 1 0 2 の出力 $(C_4, C_3, C_2, C_1) = (0, 0, 0, 1)$ となり、図 5 に示すリファレンスデコーダ 1 0 3 において NOR 1 が選択され、WR 1 は H となり、図 1 に示す参照セル MR 1 が選択されることになる。一方、外部アドレス A_i が図 1 の Y デコーダ 1 5 及び X デコーダ 1 6 でデコードされ、選択された Y セレクト線 Y 0 とワード線 W 0 が共に「H」となり、メモリセル MC 0 0 が選択される。このように制御信号 P 2 は、カウンタ回路に入力され、さらに、リファレンスワード線の活性化タイミングを決めるている。また、信号発生回路 1 4 からの制御信号 P 1 が L→H に変化することにより、センスアンプ 1 8 とリファレンスアンプ 1 9 が活性化される。

【 0 0 5 6 】

1) この時MC 0 0 が書込状態 (0) であれば、MC 0 0 は非導通であり、図 6 のSA (0) の波形に示すように初期値 $V(i n i)$ から平衡値 $V S A(0)$ まで放電される。一方、参照セルMR 1はわずかに導通し、リファレンスアンプの出力RAの電圧はRA (i) の波形に示すように同じく初期値 $V(i n i)$ から平衡値 $V R A(i)$ まで放電される。次に $V S A(0)$ と $V R A(i)$ の電位差が比較増幅器 2 0 で増幅され、メモリセルに記憶された情報が書込状態 (0) と判定される。さらに、比較増幅器 2 0 の出力が出力バッファ 2 1 に伝達され、図 6 のI / O 0 (0) の波形に示すように外部出力端子には「L」が出力されることになる。

【 0 0 5 7 】

2) この時MC 0 0 が消去状態 (1) であれば、MC 0 0 は導通になり、図 6 のSA (1) の波形に示すように初期値 $V(i n i)$ から平衡値 $V S A(1)$ まで放電される。一方、参照セルMR 1はわずかに導通し、リファレンスアンプの出力RAの電圧は図 6 のRA (i) の波形に示すように同じく初期値 $V(i n i)$ から平衡値 $V R A(i)$ まで放電される。次に $V S A(1)$ と $V R A(i)$ の電位差が比較増幅器 2 0 で増幅され、メモリセルに記憶された情報が消去状態 (1) と判定される。さらに、比較増幅器 2 0 の出力が出力バッファ 2 1 に伝達され、図 6 のI / O 0 (1) の波形に示すように外部出力端子には「H」が出力されることになる。

【 0 0 5 8 】

次に第 2 の読み出しサイクル時 (T 2)、外部アドレスがメモリセルMC 1 1 を選択した場合は、外部アドレス $A i$ の変化が再び、図 1 のATD回路 1 3 にて検出され出力P 0が発生され、信号発生回路 1 4 及び1 0 1 にて各々制御信号P 1 及びP 2 として図 6 に示すパルスが発生される。制御信号P 2 のH→Lの変化をうけ、今度は図 4 に示すカウンタ回路 1 0 2 の出力($C 4, C 3, C 2, C 1$) = (0, 0, 1, 0) となり、図 5 に示すリファレンスデコーダ 1 0 3 においてNOR 2 が選択され、WR 1 はH→L、WR 2 はL→Hとなり、図 1 に示す参照セルMR 2 が選択されることになる。第 2 の読み出しサイクル時の外部アドレス

が、図1のYデコーダ15及びXデコーダ16でデコードされ、選択されたYセレクト線Y1とワード線W1に対応するメモリセルMC11の情報が前述したMC00の場合と同様に外部出力端子に出力される。

【0059】

第1の読出しサイクル(T1)では参照セルMR1が選択され、第2の読出しサイクル(T2)では参照セルMR2が選択され、読出しサイクル毎に順次異なる参照セルが選択される。さらに第16の読出しサイクル(T16)では参照セルMR0が選択され、全ての参照セルが使用された場合に、さらに続いて第17の読出しサイクル(T17)が行われると一巡して再び参照セルMR1が選択されることになる。

【0060】

本実施例では、カウンタ回路を4段としその出力C1~C4の出力により16個の参照セルを1回毎に切り替えた。しかしこの変形例として、32個の参照セルを使用する場合は5段のカウンタ回路とすることも可能であり、また5段のカウンタ回路の出力C2~C5により16個の参照セルを読出し回数の2回毎に切り替えるように、一定回数毎に参照セルを切り替えることも出来る。

【0061】

以上述べたように、本発明の半導体記憶装置は、リファレンス電圧を与える参照セルを複数有し、読み出しサイクルごとに選択された参照セルが切り替わるので、従来技術と比較して読み出し時の参照セルへの電界ストレスを緩和することができる。本発明の例では、参照セルを16個有しているので、従来技術と比較して1つの参照セルに印加されるストレスを $1/16$ に軽減することができる。従って、例えば16年間の長期間の読み出し動作を行った後でも、本発明の参照セルは1年分の読み出し動作に相当する劣化となるため、リファレンス電圧VRの値は、初期値 $V_{RA}(i)$ とほぼ等しく、メモリセルの情報との電圧差が十分確保できるので、誤動作することはない。

【0062】

(実施例2)

図7は本発明の第2実施例を示したものである。第1図と同一の箇所は同一の

符号をつけて説明を省略する。第2実施例は第1実施例に対し、付加回路CONT201を追加して構成される。付加回路CONT201は、ドレインがセンスアンプ入力節点SCに、ゲートが信号TESに接続されたMOSFETQYRと、ドレインがMOSFETQYRのソースに、ゲートが電源CCに、ソースが内部節点CSに接続されたMOSFETQRとから構成される。

【0063】

本第2実施例は、付加回路CONT201内のMOSFETQRに流れる電流IROと比較することにより、複数の参照セル(MR0~MR15)の電流駆動能力を揃えるテストモードを有するものである。本テストモード時は信号TESが「H」レベルとなり、Yデコーダ15及びXデコーダ16は非活性とし、Yセレクト線(Y0~Yn)及びワード線(W0~Wm)はすべて「L」となり、MEM-ARRAY10のメモリセルは選択されない。メモリセルの代わりに付加回路CONT201の信号TESがVYとなり、MOSFETQRのゲートには電源CCに接続され付加回路201が選択されセンスアンプ18に接続される。センスアンプの出力SAの電圧VSAは、MOSFETQRの電流駆動能力(IRO)で決まる値にあらかじめ設定される。次に参照セルMR0~MR15を順次選択し、書込又は消去を実施する。そして書込又は消去後にI/O0の出力値をモニタし、I/O0の値が初期状態から変化するまで書込又は消去を継続して行う。例えば、MR0を選択して読み出しを行った場合、I/O0の出力値が「H」であれば、MR0に流れる電流がIROよりも少ないことを意味するので、MR0を消去する。そして再度MR0を選択して読み出しを行い、I/O0の出力値が「L」になれば、IROの値とほぼ等しくなったことを意味するので、これで終了する。一方、I/O0の出力値がまだ「H」であれば再消去が実施され、消去→読み出し動作がI/O0の出力値が「L」になるまで継続される。この場合の消去時間は参照セルの電流駆動能力を微調整できる時間に設定されていることはもちろんである。本テストモードにおいては、アドレス信号Aiは出力値が反転するまでは同一のアドレス信号Aiのままであり、出力が反転することにより、別のアドレス信号が入力される。異なるアドレス信号が入力されることで、ATD回路13からアドレス遷移検出信号P0、信号発生回路101から制御

信号 P 2 が出力され、カウンタ回路 1 0 2 のカウント数が増加し、次のリファレンスセル M R 1 が選択され、次のリファレンスセル M R 1 の電流駆動能力が同様の方法で微調整される。

【 0 0 6 4 】

以上述べた複数の参照セルの電流駆動能力を合わせる動作以外は、第 1 実施例の動作と同一であるので説明を省略する。第 2 実施例の効果は、第 1 実施例に対し、複数の参照セルの電流駆動能力をあらかじめ設定された値 (I R 0) に揃えることができるので、安定した動作マージンが得られることが出来る。

【 0 0 6 5 】

本実施例においては参照セルの電流駆動能力を微調整する例を説明したが、付加回路 C O N T 2 0 1 の構成を変更することで、例えばトランジスタ Q R を参照セルと同じ閾値を有する記憶素子に置き換えることで参照セルの閾値を微調整したり、抵抗に置き換えることでオン抵抗や、オフ抵抗が微調整することが出来る。また、後述する強誘電体メモリにも適用することにより、参照セルの閾値電圧、オン電流、オフ電流、オン抵抗、オフ抵抗、反転しきい磁界、分極値 (分極電界と容量) などの電気特性を調整することができる。

【 0 0 6 6 】

(実施例 3)

図 8 は本発明の第 3 実施例を示したものである。図 8 は本実施例のメモリセル部 (セルアレイ部) と参照セル部だけを示す。全体の構成は、図 1 又は図 7 においてメモリセルアレイ M - A R R A Y 1 0 と参照セルアレイ R - A R R A Y 1 0 4 を図 8 の M - A R R A Y 3 0 1 と R - A R R A Y 3 0 2 とに置き換えた構成であり、さらに節点 C S 及び R S が各々 C P l a t e、R P l a t e に接続されている以外の他の構成は同じである。本実施例では強誘電体メモリ (F e R A M) であり、メモリセル及び参照セルは、強誘電体容量素子と選択制御 M O S F E T とから構成されている。強誘電体容量素子の一端は選択制御 M O S F E T に接続され、他端はプレート線 (図では C P l a t e、R P l a t e) に接続されている。一方選択制御 M O S F E T はゲートがワード線に接続され、ドレイン (ソース) はディジット線に接続される。強誘電体容量部の特性 (分極特性など) は、

加わる電圧（電界）によって変化する。従って、フラッシュEEPROMの場合と同様に、多数回の読み出しにより参照セルに電界ストレスが蓄積され、特性変動が起こる。本実施例の強誘電体メモリ（FeRAM）においても第1実施例及び第2実施例を適用することで参照セルの劣化を防止し、高品質の強誘電体メモリ（FeRAM）を得ることが出来る。

【0067】

（実施例4）

図9は本発明の第4実施例を示したものである。第4実施例は複数のブロックを有する記憶装置に本発明を適用したものである。第4実施例における記憶装置は、アドレス信号A0により、ブロックA、ブロックBに分割されており、内部アドレスAd0はブロックA、Bの切り替えに使用され、Yデコーダ15にはアドレス信号Ad0は入力されない。Yデコーダ15にはAd1～9が入力されることにより、Y0～Ynは512本である。ブロックA、Bの各々の容量は、第1実施例の半分の容量であり、その和が第1実施例のメモリ容量と等しい。

【0068】

図9を用いて第4実施例を説明する。第1図と同一の箇所は同一の符号をつけてその説明を省略する。アドレスバッファはアドレス信号A0とアドレス信号A1～A9用としてアドレスバッファ11-1と11-2として分割されている。アドレス信号A0はアドレスバッファ11-2に入力され、その出力はATD回路13と切替器401に入力される。切替器401はATD回路10からのアドレス遷移検出信号P0をブロックA、またはブロックBのどちらかのブロックへ切替、供給する。ブロックA又はブロックB内部においては、供給されたアドレス遷移信号P0から各々制御信号P1、及びP2を作成することは第1実施例と同様である。アドレス遷移検出信号が供給されないブロックにおいては、各々制御信号P1、及びP2を作成されない。また、図示してはいないがアドレス信号A0はブロック選択信号として各々のブロックに供給され選択されたブロックにおいては実施例1と同様の動作を行なわせ、選択されないブロックにおいては必要に応じてXデコーダ、Yデコーダ等の各回路の動作を停止させる。

【0069】

本実施例においては A T D 回路からの制御信号 P 0 を切替器 4 0 1 において各々のブロックへ切替、供給したが、制御信号 P 1 , 及び制御信号 P 2 またはカウンタ回路の出力 C 1 - C 4 を切替、供給することもできる。

【 0 0 7 0 】

本実施例においては複数のブロックを有する場合、各々のブロックにおいて、リファレンス電圧を与える参照セルを複数有し、読み出しサイクルごとに選択された参照セルが切り替わるので、従来技術と比較して読み出し時の参照セルへの電界ストレスを緩和することができる

以上、本発明の実施例としてフラッシュ E E P R O M と F e R A M について説明したが、本発明は、参照セルと選択セルの情報を比較して選択セルの情報を確定する半導体記憶回路で、参照セルが多数回の動作によって特性変動が生じるものであればすべて適用でき、効果が得られる。例えば、M O N O S 素子メモリや M R A M (磁気メモリ)などに適用できる。

【 0 0 7 1 】

M O N O S 素子メモリでは、参照セルの特性としては、セルのしきい値電圧、オン電流、オフ電流、オン抵抗、オフ抵抗などで、実施例 1 及び実施例 2 のフラッシュ E E P R O M と同じような特性が重要で、M R A M では保磁力や反転磁界しきい値などが重要である。

【 0 0 7 2 】

本発明では、種々のメモリセルの構成によって、参照セル特性が複数の参照セルで所望の特性に合わせるようにする手段を有する。

【 0 0 7 3 】

本発明は、参照セルと選択セルの情報を比較して選択セルの情報を確定する半導体記憶回路で、参照セルが多数回の動作によって特性変動が生じるものであればすべて適用でき、上記実施例に限定されるものではなく、発明の要旨を逸脱しない実施例の変形においてもこの発明に含まれる。

【 0 0 7 4 】

【発明の効果】

以上説明したように、本発明は参照セルを複数有し、これを一定のアクセスサ

イクルごとに順次切り替えて使用するので、参照セルの電界ストレスを平均化して緩和することができる。

【 0 0 7 5 】

従って、参照セルの特性劣化を抑制できるので信頼性の高い半導体記憶装置を実現できる。又、簡単な回路構成により実現できるので、安価に提供できる効果を有する。さらに、本発明は参照セルとメモリセルの情報を比較してメモリセルの情報を確定する方式の種々の半導体記憶回路装置に適用でき汎用性が高い。

【図面の簡単な説明】

【図 1】

本発明におけるの第 1 の実施例の全体構成図である。

【図 2】

本発明における信号発生回路の構成図である。

【図 3】

本発明における信号発生回路の構成図である。

【図 4】

本発明におけるカウンタ回路の構成図と動作波形を示したものである。

【図 5】

本発明におけるリファレンスデコーダの構成図である。

【図 6】

本発明における読み出し時の各節点、各信号の動作波形である。

【図 7】

本発明における第 2 実施例の全体構成図である。

【図 8】

本発明における第 3 実施例のメモリセルアレイ部と参照セル部を示す。

【図 9】

本発明における第 4 実施例の全体構成図である。

【図 1 0】

従来技術の半導体記憶装置の全体構成図である。

【図 1 1】

従来技術の読み出し時の各節点、各信号の動作波形である。

【符号の説明】

A_i : 外部アドレス端子

Y₀ ~ Y_n : Yセレクト線

W₀ ~ W_m : ワード線

QY₀ ~ QY_n : Yセレクト用MOSFET

I/O : 外部出力端子

M-ARRAY : メモリセルアレイ

R-ARRAY : 参照セルアレイ

MC₀₀ ~ MC_{0m}, ..., MC_{n0} ~ MC_{nm} : フラッシュEEPROMのメモリセル

MR₀, ..., MR₁₅ : 参照セル

MF₀₀ ~ MF_{0m}, ..., MF_{n0} ~ MF_{nm} : 強誘電体メモリ (FeRAM) の選択制御MOSFET

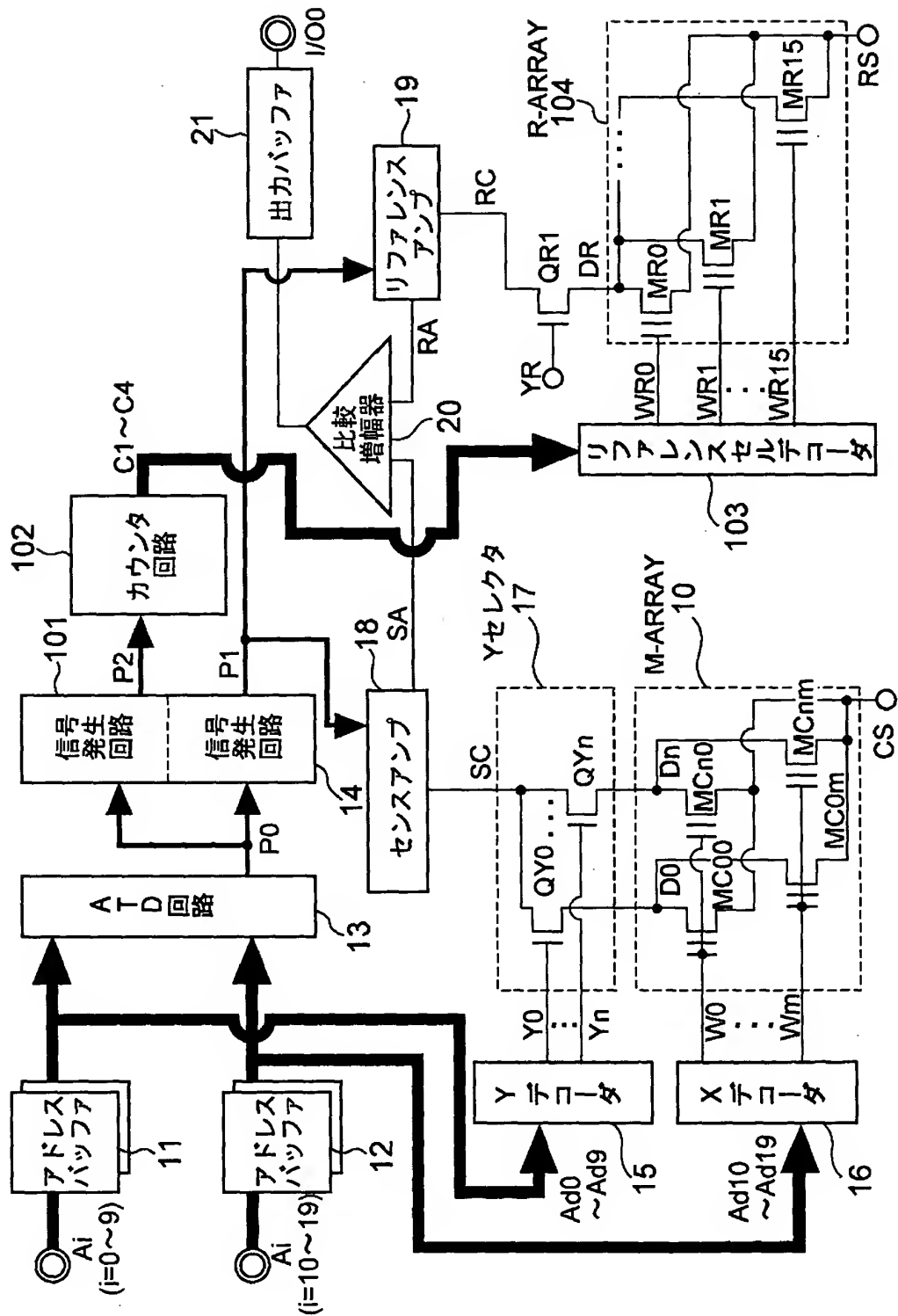
CF₀₀ ~ CF_{0m}, ..., CF_{n0} ~ CF_{nm} : 強誘電体メモリ (FeRAM) の強誘電体容量素子

MRF₀ ~ MRF₁₅ : 参照セル部の強誘電体メモリ (FeRAM) の選択制御MOSFET

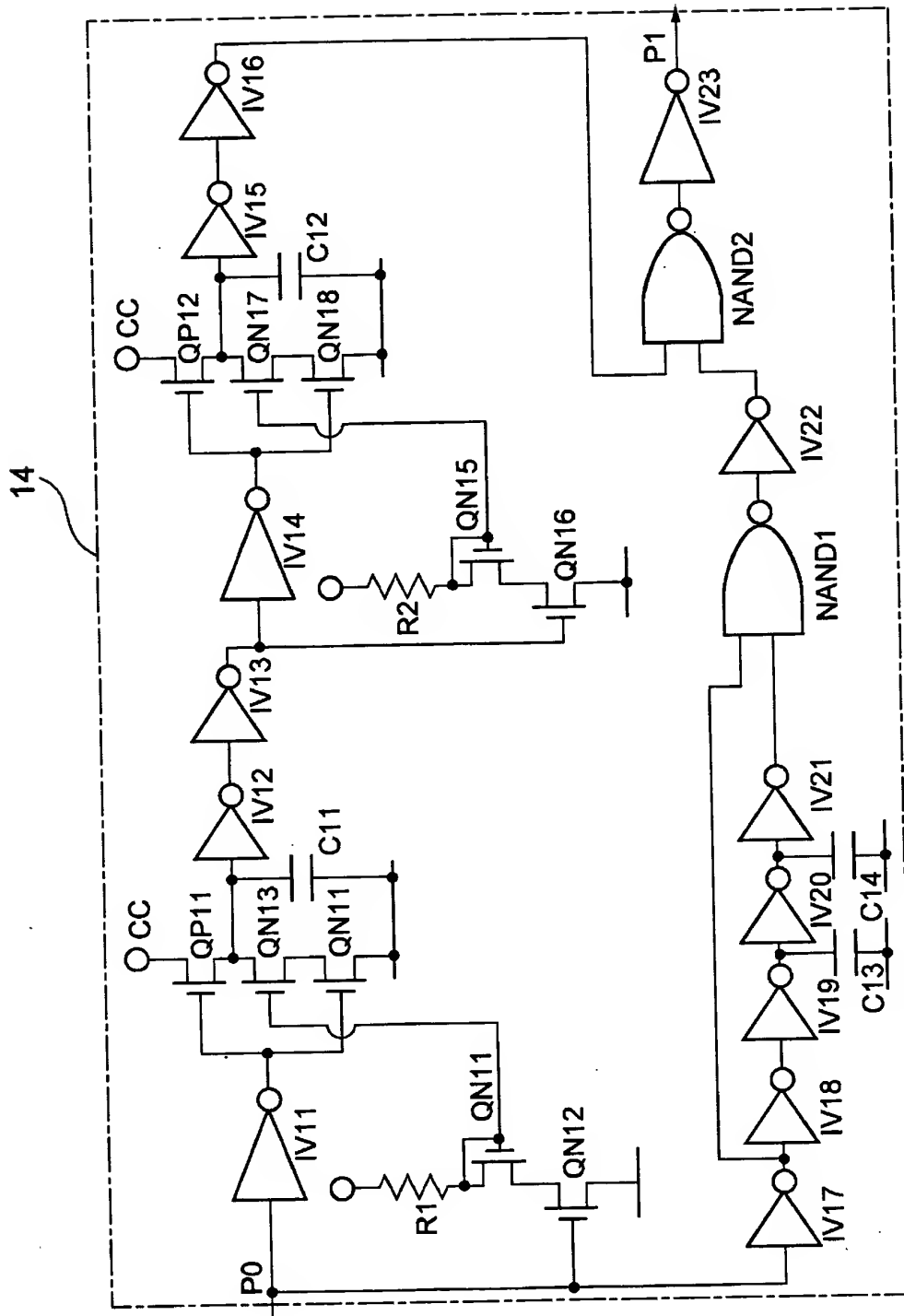
CRF₀ ~ CRF₁₅ : 参照セル部の強誘電体メモリ (FeRAM) の強誘電体容量素子

【書類名】 図面

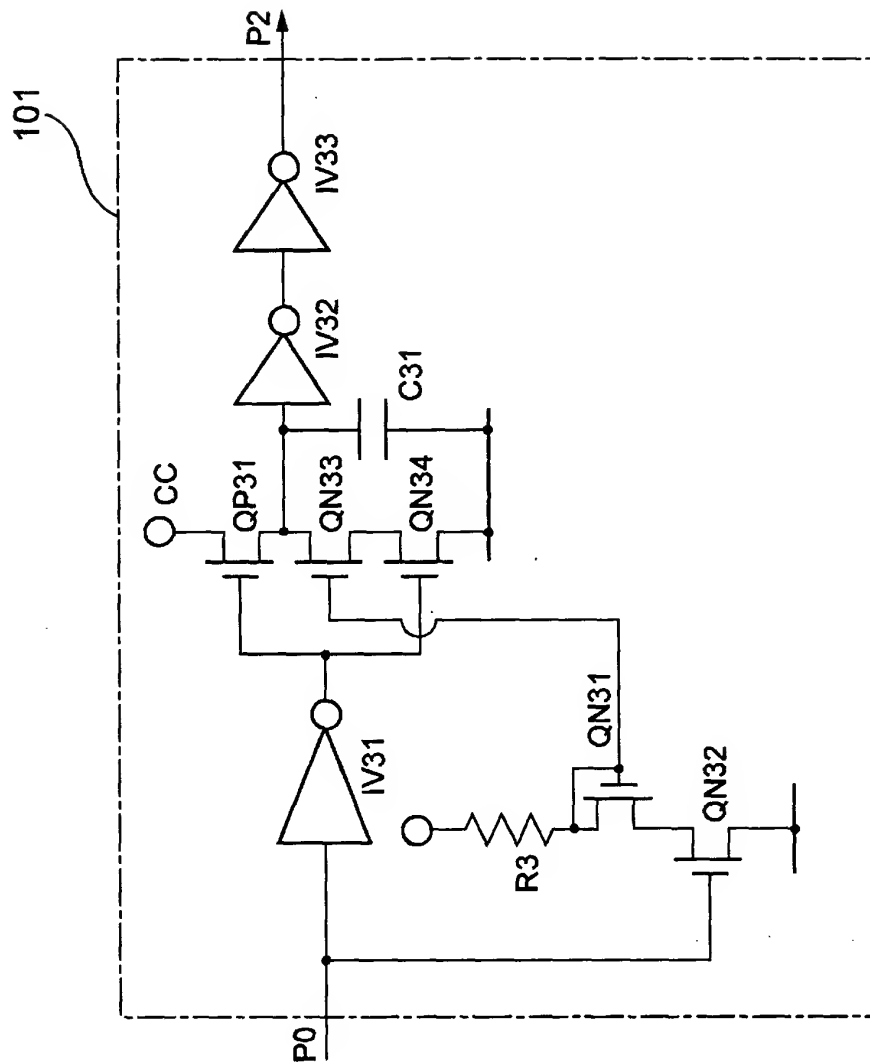
【図 1】



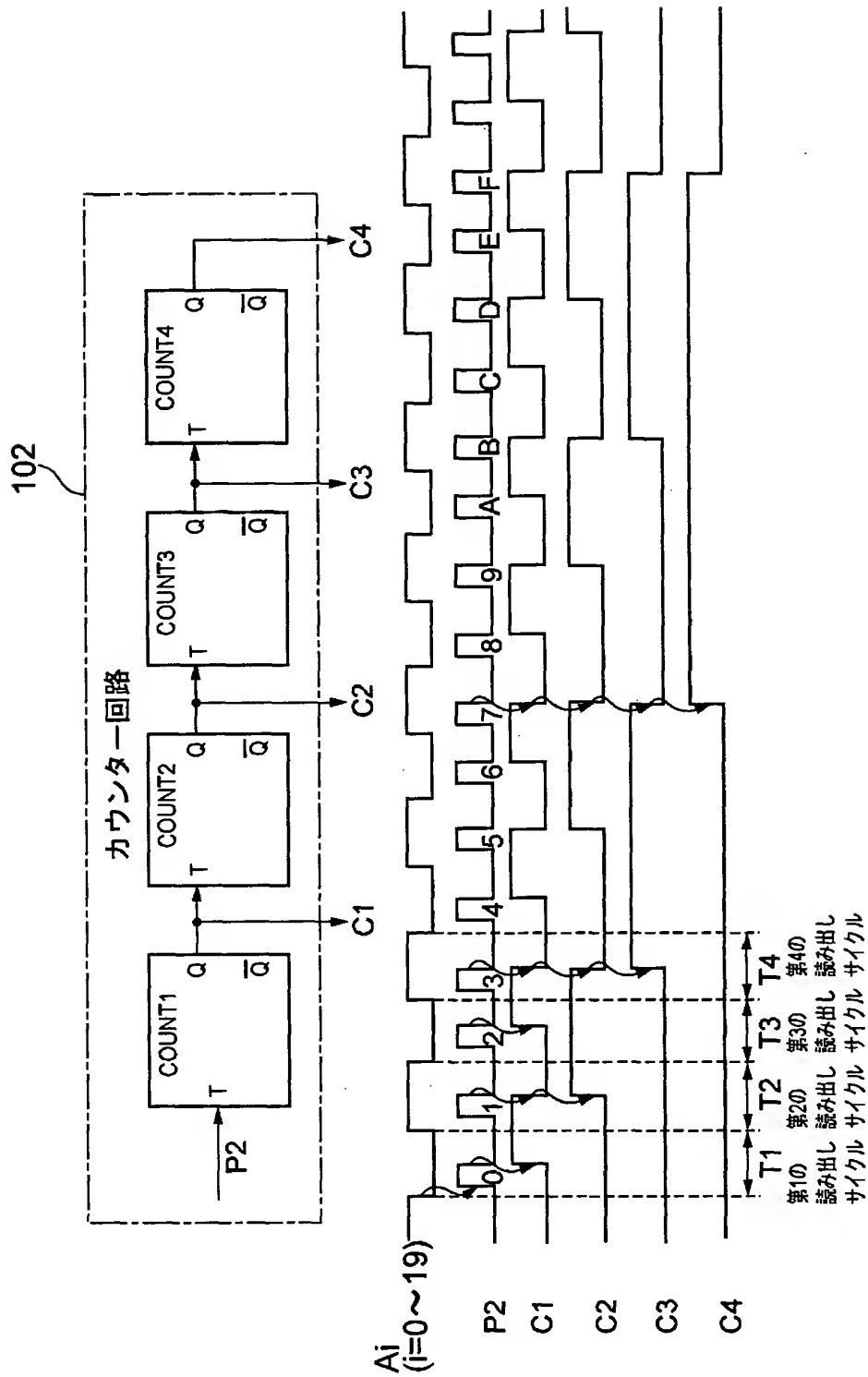
【図2】



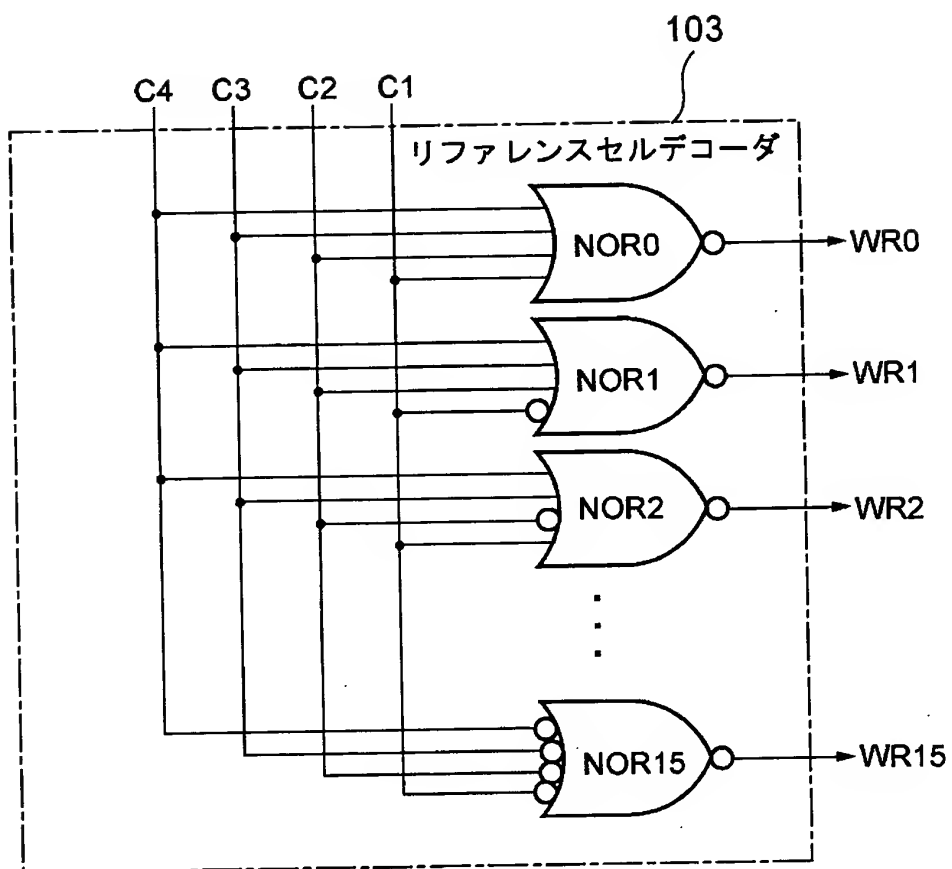
【図 3】



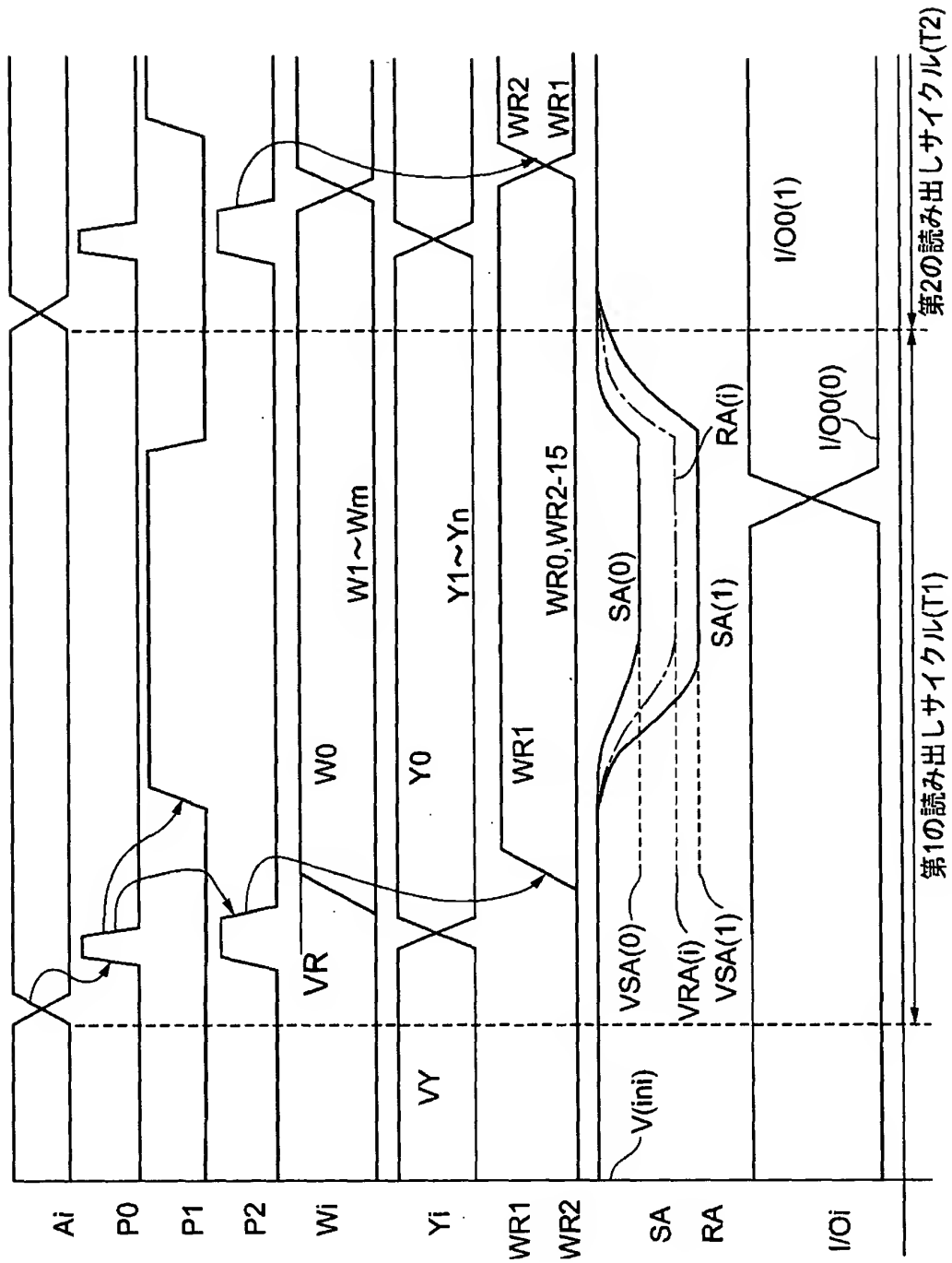
【図4】



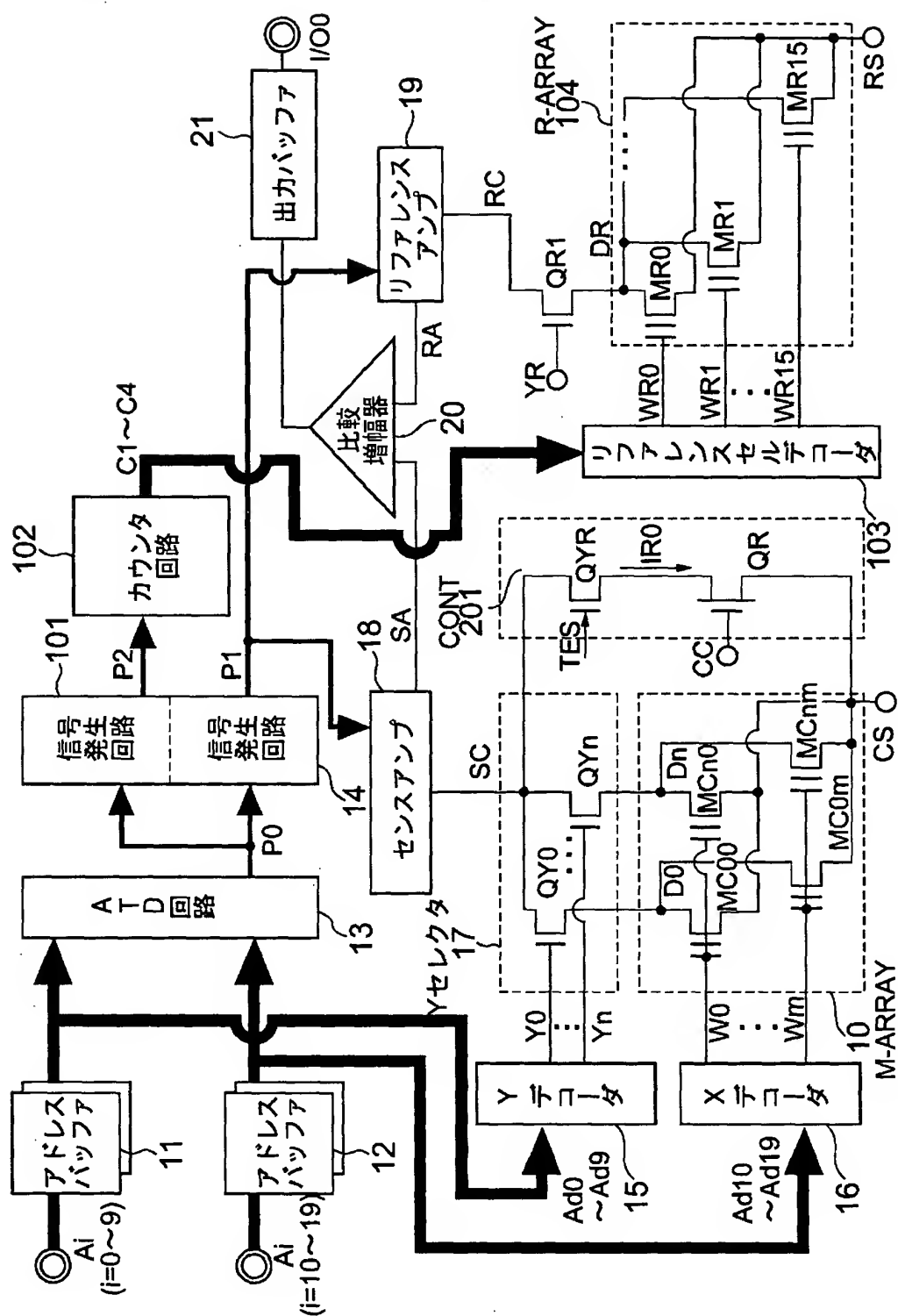
【図 5】



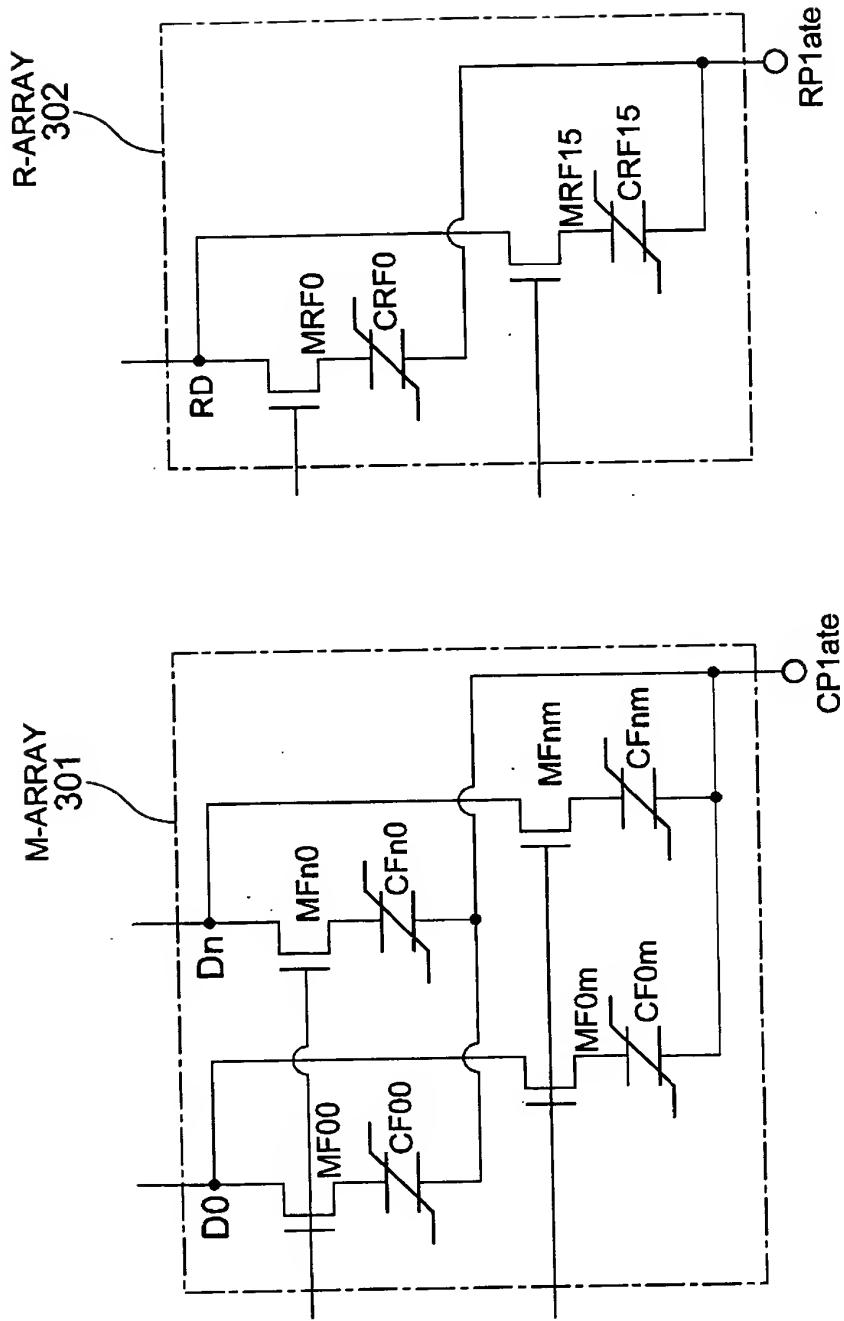
【図 6】



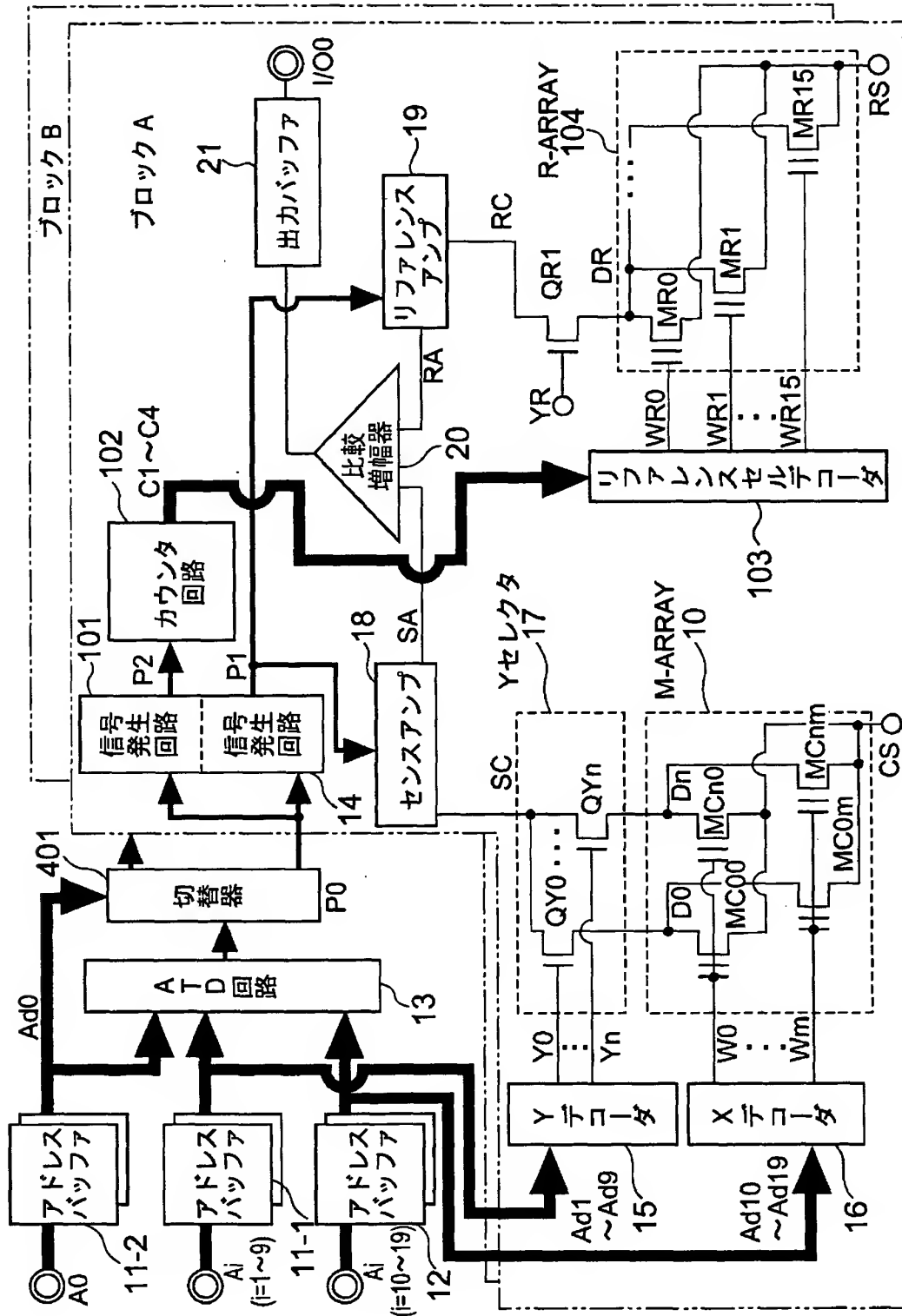
【圖 7】



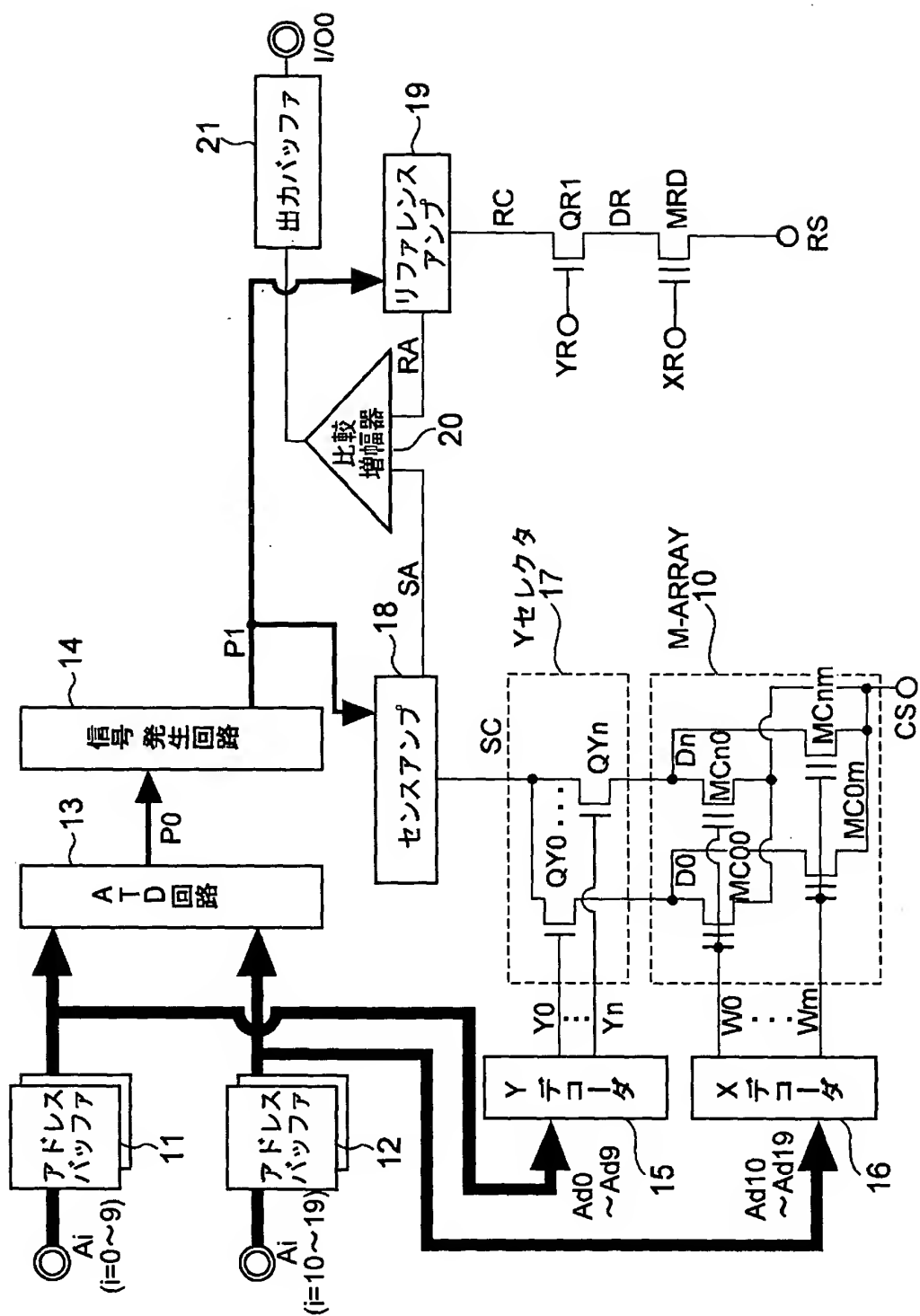
【図 8】



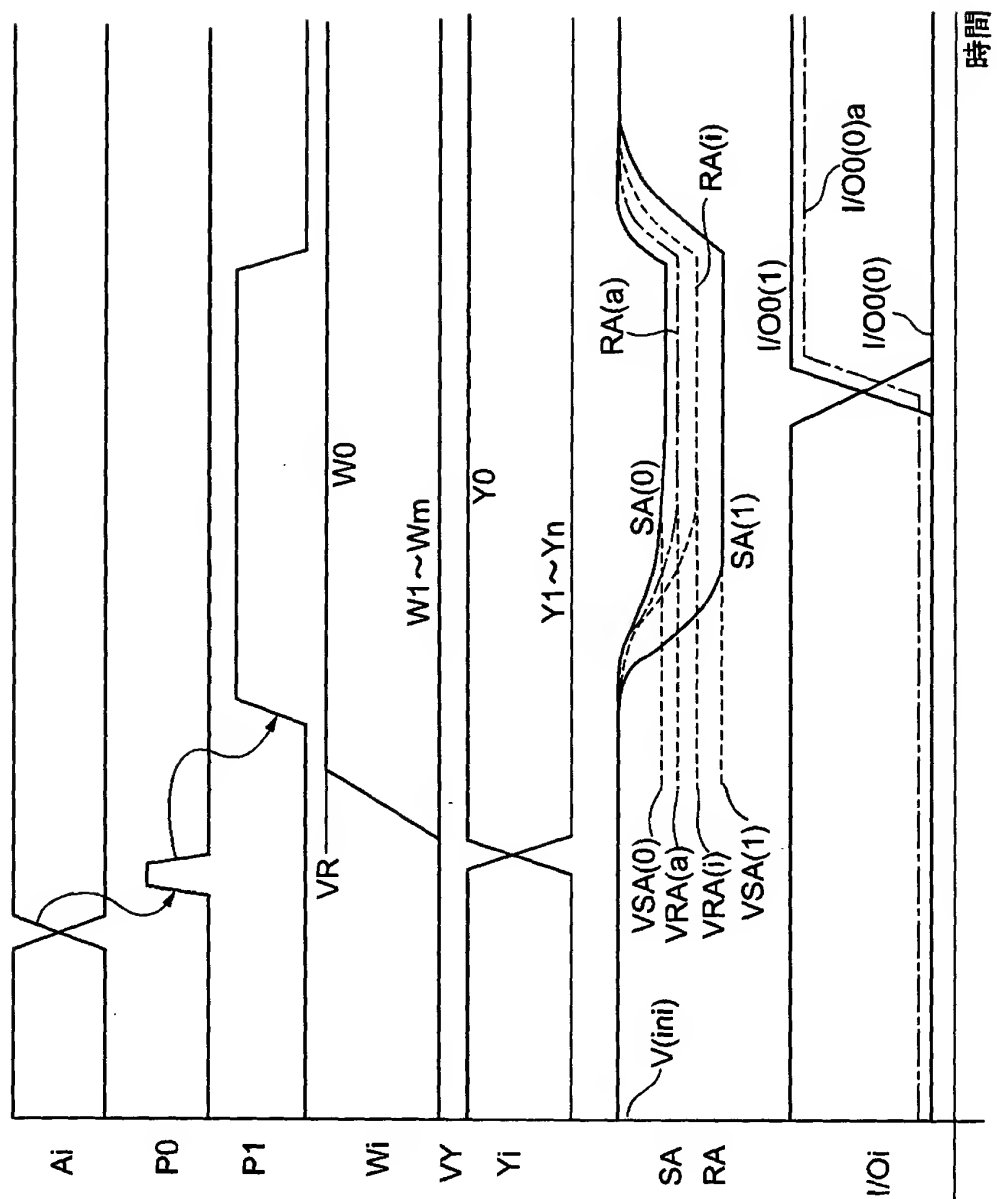
【図9】



【図10】



【図 11】



【書類名】 要約書

【要約】

【課題】 従来の参照セル（リファレンスセル）を用いて、読み出し、書込み、消去などを行う半導体記憶装置では、参照セルの特性変動の問題があったり、参照セルの特性変動を回避するようにするためには多くの付加回路が必要となりデバイスサイズが大きくなるという問題があった。

【解決手段】 本発明の半導体記憶装置は、リファレンス電圧を与える参照セルを複数有し、読み出しサイクルごとに選択された参照セルが切り替わるので、読み出し時の参照セルへの電界ストレスを緩和することができる。アドレス変位検出回路の信号をカウントし、カウント数により順次参照セルを切り替える構成とすることで付加回路としてのオーバーヘッドを小さくでき、かつ、信頼性の高い半導体記憶装置提供することができる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2002-249388
受付番号	50201281107
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 8月29日

<認定情報・付加情報>

【提出日】 平成14年 8月28日

次頁無

【書類名】 出願人名義変更届（一般承継）
【あて先】 特許庁長官殿
【事件の表示】
【出願番号】 特願2002-249388
【承継人】
【識別番号】 302062931
【氏名又は名称】 NECエレクトロニクス株式会社
【承継人代理人】
【識別番号】 100109313
【弁理士】
【氏名又は名称】 机 昌彦
【提出物件の目録】
【物件名】 承継人であることを証明する登記簿謄本 1
【援用の表示】 平成15年1月10日提出の特願2002-31848
8の出願人名義変更届（一般承継）に添付のものを援用
する。
【物件名】 承継人であることを証明する承継証明書 1
【援用の表示】 平成15年1月10日提出の特願2002-29761
2の出願人名義変更届（一般承継）に添付のものを援用
する。
【包括委任状番号】 0215753
【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 4 9 3 8 8
受付番号	5 0 3 0 0 2 0 6 6 9 5
書類名	出願人名義変更届 (一般承継)
担当官	藤居 建次 1 4 0 9
作成日	平成 1 5 年 2 月 2 0 日

< 認定情報・付加情報 >

【提出日】	平成 1 5 年 2 月 1 0 日
-------	--------------------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日	2002年11月 1日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区下沼部1753番地
氏 名	NECエレクトロニクス株式会社